



DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010717722    \*\*Image available\*\*

WPI Acc No: 96-214677/199622

Semiconductor device - has polysilicon@ film which is patterned using photoresist as mask to form titanium@ film

Patent Assignee: NEC CORP (NIDE )

Inventor: SAKOH T

Number of Countries: 002    Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 8078519	A	19960322	JP 94232286	A	19940901		199622 B
US 5641991	A	19970624	US 95521737	A	19950831		199731

Priority Applications (No Type Date): JP 94232286 A 19940901

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 8078519	A		6			
US 5641991	A		16			

Abstract (Basic): JP 8078519 A

The semiconductor device has interlayer insulating film (3), a polysilicon film (4) and a silicon oxide film (5) which are layered sequentially on a silicon substrate (1). The silicon substrate has a diffusion layer domain (2). A contact hole (7) is formed by etching of a photoresist (6). A phosphorous dope polysilicon film (8) is formed, which is subjected to etch back to form a polysilicon plug (9).

A silicon oxide film (5) is then removed. The patterning of the polysilicon film is carried out using a photoresist mask (10). A titanium film (11) is formed on which silicidisation is carried out to form a titanium silicide film (12). The unnecessary titanium is then removed.

ADVANTAGE - Increases contact area of metal silicide film and polysilicon film. Reduces contact resistance. Prevents decrease of interlayer insulating film.

Dwg. 1/4

Abstract (Equivalent): US 5641991 A

A semiconductor device comprises a) a lower-level conductor layer formed in a semiconductor substrate; b) an interlayer insulator film, formed to cover the lower-level conductor layer, and having a penetrating hole; c) an upper-level conductor layer formed on the interlayer film, the upper-level conductor layer having a multilayer structure including: c2) a silicon sublayer; and c1) a metal silicide sublayer which contacts the silicon sublayer; and d) a conductor plug which is formed in the hole of the interlayer film and which electrically connects the lower-level conductor layer and the upper-level conductor layer, the conductor plug including: d1) a top part protruding from the silicon sublayer of the upper-level conductor layer, the top part having a top face and a side face which contact the metal silicide sublayer of the upper-level conductor layer to reduce contact resistance between the conductor plug and the upper-level conductor layer.

Dwg. 2f/7

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/768; H01L-023/48

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-78519

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768

H 0 1 L 21/ 90

D

審査請求 有 請求項の数7 F D (全 6 頁)

(21)出願番号

特願平6-232286

(22)出願日

平成6年(1994)9月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐甲 隆

東京都港区芝五丁目7番1号 日本電気株式会社内

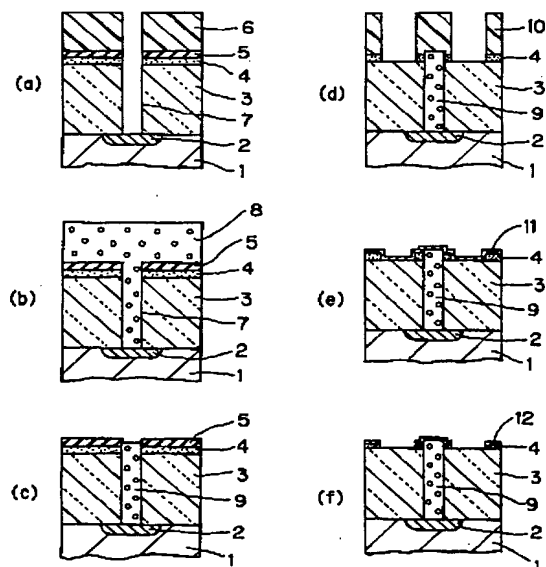
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 プラグと配線間の接続抵抗の低減化。配線の低抵抗化。

【構成】 拡散層領域2を有するシリコン基板1上に層間絶縁膜3、ポリシリコン膜4、シリコン酸化膜5を堆積し、フォトリソグ6をマスクにエッチングしてコンタクト孔7を形成する〔図1 (a)〕。リンドープポリシリコン膜8を成膜し〔図1 (b)〕、エッチバックしてポリシリコンプラグ9を形成する〔図1 (c)〕。シリコン酸化膜5を除去し、フォトリソグ10をマスクにしてポリシリコン膜4をパターンニングする〔図1 (d)〕。チタン膜11を堆積し〔図1 (e)〕、シリサイド化を行ってチタンシリサイド膜12を形成した後、不要のチタンを除去する〔図1 (f)〕。



1-シリコン基板  
2-拡散層領域  
3-層間絶縁膜  
4-ポリシリコン膜  
5-シリコン酸化膜  
6-フォトリソグ

7-コンタクト孔  
8-リンドープポリシリコン膜  
9-ポリシリコンプラグ  
10-フォトリソグ  
11-チタン膜  
12-チタンシリサイド膜

**【特許請求の範囲】**

**【請求項1】** 下層の導電層と上層の配線層とが層間絶縁膜を介して配置され、両者間が層間絶縁膜内に設けられた導電体プラグを介して接続されている半導体装置において、前記導電体プラグの一部が前記層間絶縁膜の上表面より突出しており、かつ、その突出部の側面および上表面が前記配線層と接触していることを特徴とする半導体装置。

**【請求項2】** 前記導電体プラグがポリシリコンにより形成されていることを特徴とする請求項1記載の半導体装置。

**【請求項3】** 前記配線層がポリシリコン膜と金属シリサイド膜とによって形成されており、前記ポリシリコン膜には前記層間絶縁膜に形成されたコンタクト孔と同一個所にコンタクト孔が形成されており、前記導電体プラグはポリシリコン膜に形成されたコンタクト孔をも貫通してその一部がポリシリコン膜の上表面より突出するように形成されており、かつ、前記導電体プラグの前記ポリシリコン膜から突出している部分の側面および上表面は前記金属シリサイド膜に覆われていることを特徴とする請求項1記載の半導体装置。

**【請求項4】** 前記ポリシリコン膜の不純物濃度が $1 \times 10^{20}$  [原子/cm<sup>3</sup>]未満であることを特徴とする請求項3記載の半導体装置。

**【請求項5】** (1) 半導体基板表面または半導体基板上に設けられた導電層を覆う層間絶縁膜を形成する工程と、

(2) 前記層間絶縁膜上に第1のポリシリコン膜を堆積する工程と、

(3) 前記第1のポリシリコン膜上に絶縁膜を堆積する工程と、

(4) 前記絶縁膜、前記第1のポリシリコン膜および前記層間絶縁膜を選択的にエッチングして前記導電層の表面を露出させるコンタクト孔を形成する工程と、

(5) 不純物が高濃度にドーピングされた第2のポリシリコン膜を形成し、これをエッチバックして前記コンタクト孔内にポリシリコンプラグを形成する工程と、

(6) 前記絶縁膜を除去する工程と、

(7) 前記第1のポリシリコン膜上および前記ポリシリコンプラグ上に金属シリサイド膜を形成して、前記ポリシリコンプラグを介して前記導電層に接続されたポリサイド構造の配線を形成する工程と、を有することを特徴とする半導体装置の製造方法。

**【請求項6】** 前記第(2)の工程と前記第(3)の工程との間または前記第(6)の工程と前記第(7)の工程との間に、第1のポリシリコン膜のパターニング工程が挿入されており、かつ、前記第(7)の工程が、金属膜の堆積工程と、熱処理によりポリシリコンと金属膜とを反応させてシリサイド膜を形成する工程と、不要の金属および金属化合物をエッチング除去する工程と、を含

んでいることを特徴とする請求項5記載の半導体装置の製造方法。

**【請求項7】** 前記第(7)の工程が、金属シリサイド膜の堆積工程と、該金属シリサイド膜と前記第1のポリシリコン膜とをパターニングする工程と、を含んでいることを特徴とする請求項5記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、半導体装置およびその製造方法に関し、特に半導体装置における微細なコンタクト・配線構造およびその形成方法に関するものである。

**【0002】**

**【従来の技術】** 近年、半導体装置はその高密度化および高集積化に伴ってコンタクト径が小さくなり、また配線幅も細くなっている。それにともない、コンタクト抵抗および配線抵抗がますます増大する傾向がある。このため、半導体装置において微細化を実現するためには、コンタクト抵抗および配線抵抗をどの程度低く抑えられるかが重要な課題となってきた。

**【0003】** この種微細なコンタクトホールに関しては、コンタクトホールをステップカバレッジ（段差被覆性）よく埋め込むプラグ法が知られている。また配線抵抗低減のためにポリシリコン層と金属層を別々に順次堆積し、その後の熱処理によってシリサイド化反応を行わせる配線形成方法（自己整合シリサイド配線）が用いられている。

**【0004】** 図4(a)～(f)は、上記の点を考慮にいたった従来の半導体装置の製造方法を示す工程順断面図である。まず、図4(a)に示すように、拡散層領域2を有するシリコン基板1上に層間絶縁膜3を設け、その上にフォトリソグラフィの技法のよりフォトレジスト6を形成し、これをマスクとして反応性イオンエッチングにより拡散層領域2が露出するまで層間絶縁膜をエッチングしてコンタクト孔7を形成する。

**【0005】** 次に、図4(b)に示すように、減圧CVD法によりリンドーピングポリシリコン膜8を層間絶縁膜3上全面に堆積して、コンタクト孔7をポリシリコン膜8で埋め込む。次に、図4(c)に示すように、反応性イオンエッチングによりリンドーピングポリシリコン膜8に対し全面的エッチバックを行い、コンタクト孔7内だけにポリシリコンを残してポリシリコンプラグ9を形成する。

**【0006】** 次に、図4(d)に示すように、リンドーピングされたポリシリコン膜4を全面に形成した後、フォトリソグラフィの技法で形成されたフォトレジスト10をマスクとして反応性イオンエッチングによりポリシリコン膜4のエッチングを行い、配線構造に加工する。そして、図4(e)に示すように、露出した層間絶縁膜3お

よびポリシリコン膜4上全面に、例えばチタン膜11をスパッタ法により形成する。

【0007】この後熱処理を施すことによりリンドーブのポリシリコン膜4をチタン膜11と反応させて金属シリサイドを形成する。その後未反応性の金属および窒化物などの金属化合物を除去することにより、図4(f)に示すように、自己整合的に金属シリサイド膜12を形成することができる。

【0008】

【発明が解決しようとする課題】ところが、以上のようにして形成された金属シリサイド配線層とプラグのリンドーブポリシリコンの間にはポリシリコン成長時の巻き込み酸化などによる自然酸化膜が存在し、これが抵抗増大の原因となっていた。

【0009】また、プラグを形成する際にエッチバックを行っているが、これによりプラグロスを生じプラグ部分が凹んだ構造になり、実質的なプラグと配線との接触面はプラグの上面だけになってしまう。さらに配線の一部となるリンドーブポリシリコン膜のリン濃度を高くするとコンタクト抵抗の上昇は抑えられるがシリサイド化反応時のシリサイド反応速度が遅くなりシリサイド配線に変換される金属の割合が低下するためシリサイド膜が薄層となり配線抵抗が高くなる。逆に、リン濃度を低くすると、配線抵抗は低減できるがポリシリコンプラグと金属シリサイド配線の間で低濃度のリンドーブポリシリコン膜が存在するため、これが高抵抗層となりコンタクト抵抗が上昇する。

【0010】ここで始めに述べた配線層とプラグとの間に存在する自然酸化膜について、特開平3-185823号公報には、ケミカルドライエッチングによって自然酸化膜を除去することが提案されている。しかし、この方法を採用してもエッチング後に大気中に曝すとすぐに自然酸化膜が形成されるため根本的な解決にはならない。自然酸化膜の影響を完全になくすには、エッチング後に真空雰囲気のまま次のポリシリコン成長工程に送らなければならないが、そのためにケミカルドライエッチング→ポリシリコン成長を連続的に行うことのできる非常に高価なマルチチャンバシステムの装置を導入する必要が生じる。

【0011】本発明は、この点に鑑みてなされたものであって、その目的は、特別の装置、工程を用いることなく、コンタクトとシリサイド配線層の低抵抗化を実現できる構造およびその形成方法を提供することである。

【0012】

【課題を解決するための手段】上記目的を目的を達成するため、本発明によれば、下層の導電層(2)と上層の配線層(4、12; 13)とが層間絶縁膜(3)を介して配置され、両者間が層間絶縁膜内に設けられた導電体プラグ(9)を介して接続されている半導体装置において、前記導電体プラグの一部が前記層間絶縁膜の上表面

より突出しており、かつ、その突出部の側面および上表面が前記配線層と接触していることを特徴とする半導体装置、が提供される。

【0013】また、本発明によれば、(1)半導体基板表面または半導体基板上に設けられた導電層を覆う層間絶縁膜を形成する工程と、(2)前記層間絶縁膜上に第1のポリシリコン膜を堆積する工程と、(3)前記第1のポリシリコン膜上に絶縁膜を堆積する工程と、(4)前記絶縁膜、前記第1のポリシリコン膜および前記層間絶縁膜を選択的にエッチングして前記導電層の表面を露出させるコンタクト孔を形成する工程と、(5)不純物が高濃度にドーパされた第2のポリシリコン膜を形成し、これをエッチバックして前記コンタクト孔内にポリシリコンプラグを形成する工程と、(6)前記絶縁膜を除去する工程と、(7)前記第1のポリシリコン膜上および前記ポリシリコンプラグ上に金属シリサイド膜を形成して、前記ポリシリコンプラグを介して前記導電層に接続されたポリサイド構造の配線を形成する工程と、を有する半導体装置の製造方法、が提供される。

【0014】

【作用】本発明によれば、導電体プラグはその側面および上表面において上層の配線層と接触している。したがって、プラグと配線層との接触面積が広くなり低抵抗のコンタクトを実現することができる。

【0015】また、本発明によれば、上層の配線層がポリサイド構造に形成されており、かつ、導電体プラグがポリシリコン膜を介することなく直接金属シリサイド膜と接続される。この構造によれば、ポリシリコン膜がリンドーブ乃至低不純物濃度であってもプラグー配線層間の抵抗を上昇させることがない。したがって、ポリシリコン膜の不純物濃度を低く抑えてシリサイド化反応の速度を上昇させることが可能となり、そのためシリサイド配線層の膜厚を十分に厚くすることができるようになり低抵抗の配線層を得ることができるようになる。

【0016】また、本発明の製造方法では、ポリシリコン膜およびポリシリコンプラグ上に金属(例えばチタン)を堆積してシリサイド化処理が行われる。このとき例えばチタンの還元作用が行われるため、仮にポリシリコンプラグ上に自然酸化膜が存在していてもシリサイド処理工程において除去され、自然酸化膜の存在が悪影響を及ぼすことはなくなる。

【0017】さらに、本発明の製造方法によれば、ポリシリコンプラグを形成するためのエッチバックが層間絶縁膜が露出しない状態で行われるため、層間絶縁膜の膜減りを防止することができる。また、本発明によれば、ポリサイド配線用のポリシリコン膜を堆積する前に自然酸化膜除去を目的としたフッ酸処理を行わなくてもよくなるため、層間絶縁膜の膜減りをさらに抑制することができる。

【0018】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1(a)～(f)は、本発明の第1の実施例を説明するための工程順断面図である。まず、拡散層領域2を有するシリコン基板1上に層間絶縁膜3を例えば $0.5\mu\text{m}$ の厚さに堆積し、その上にノンドープのポリシリコン膜4を例えば $0.05\mu\text{m}$ の膜厚に形成し、その上に例えばシリコン酸化膜5を膜厚 $0.05\mu\text{m}$ に成長させる。

【0019】次に、このシリコン酸化膜5上にフォトリソグラフィの技法によりコンタクト孔部に開口を有するフォトレジスト6を形成し、これをマスクとして反応性イオンエッチングによりシリコン酸化膜5、ポリシリコン膜4および層間絶縁膜3を通して拡散層領域2が露出するまでエッチングを行って、例えば開口径が $0.2\mu\text{m}$ のコンタクト孔7を開孔する〔図1(a)〕。

【0020】次に、図1(b)に示すように、リンドープポリシリコン膜8を例えば厚さ $0.6\mu\text{m}$ に堆積してコンタクト孔7を完全に埋め込む。そして、図1(c)に示すように、反応性イオンエッチングによりリンドープポリシリコン膜8を全面的にエッチバックし、コンタクト孔7内だけポリシリコン膜8を残してポリシリコンプラグ9を形成する。

【0021】シリコン酸化膜5を全面的に除去することによりポリシリコンプラグ9を突出させた後、図1(d)に示すように、フォトリソグラフィの技法で形成されたフォトレジスト10をマスクとして反応性イオンエッチングによりポリシリコン膜4をパターンニングする。フォトレジスト10を除去した後、図1(e)に示すように、パターンニングされたポリシリコン膜4上、ポリシリコンプラグ9上および露出した層間絶縁膜2上全面に例えばチタン膜11を膜厚約 $0.03\mu\text{m}$ に成長させる。

【0022】熱処理を施すことによりポリシリコン膜4をチタン膜11とシリサイド化反応させてチタンシリサイドを形成した後、未反応の金属および窒化物などの金属化合物を除去すると、図1(f)に示すように、自己整合的に形成されたチタンシリサイド膜12を有するポリサイド配線層を得ることができる。

【0023】本実施例では、配線層用のポリシリコン膜にノンドープのものを用いたが、これは、ポリシリコンの不純物濃度が低いほどシリサイド化反応が速くなるため、より低抵抗の配線を得るためである。しかし、必ずしもノンドープとする必要はなく、目的の膜厚のシリサイド膜が得られる範囲で不純物(例えば、リン、ヒ素)を含有させるようにしてもよい。本発明者の実験によれば、不純物濃度が $1\times 10^{20}$  [原子/ $\text{cm}^3$ ] 未満であれば、通常満足すべき膜厚のシリサイドが得られる。

【0024】【第2の実施例】次に、本発明の第2の実施例について図面を参照して説明する。図2(a)～

(f)は、本発明の第2の実施例を説明するための工程順断面図である。まず、拡散層領域2を有するシリコン基板1上に層間絶縁膜3を例えば $0.5\mu\text{m}$ の厚さに堆積し、その上にリンドープのポリシリコン膜4を例えば $0.05\mu\text{m}$ の膜厚に形成し、その上に例えばシリコン酸化膜5を膜厚 $0.05\mu\text{m}$ に成長させる。

【0025】次に、このシリコン酸化膜5上にフォトリソグラフィの技法によりコンタクト孔部に開口を有するフォトレジスト6を形成し、これをマスクとして反応性イオンエッチングによりシリコン酸化膜5、ポリシリコン膜4および層間絶縁膜3を通して拡散層領域2が露出するまでエッチングを行って、例えば開口径が $0.2\mu\text{m}$ のコンタクト孔7を開孔する〔図2(a)〕。

【0026】次に、図2(b)に示すように、リンドープポリシリコン膜8を例えば厚さ $0.6\mu\text{m}$ に堆積してコンタクト孔7を完全に埋め込む。そして、図2(c)に示すように、反応性イオンエッチングによりポリシリコン膜8に対し全面的エッチバックを行い、コンタクト孔7内だけにリンドープポリシリコン膜8を残してポリシリコンプラグ9を形成する。

【0027】シリコン酸化膜5を全面除去することによりポリシリコンプラグ9を突出させた後、図2(d)に示すように、全面にタングステンシリサイド膜13を膜厚約 $0.1\mu\text{m}$ に成長させる。次に、図2(e)に示すように、フォトリソグラフィ技法でパターンニングされたフォトレジスト10をマスクとして反応性イオンエッチングによりタングステンシリサイド膜13およびポリシリコン膜4をパターンニングする。そして、フォトレジスト10を除去して図2(f)に示すようなタングステンシリサイド/ポリシリコン積層構造の配線を得る。

【0028】【第3の実施例】次に、本発明の第3の実施例について図面を参照して説明する。図3(a)～

(f)は、本発明の第3の実施例を説明するための工程順断面図である。まず、図3(a)に示すように、拡散層領域2を有するシリコン基板1上に層間絶縁膜3を例えば $0.5\mu\text{m}$ の厚さに堆積し、その上に配線層のポリシリコン膜4を例えば膜厚 $0.05\mu\text{m}$ に形成する。ここで層間絶縁膜3の最上面には、不純物がドーピングされていないシリコン酸化膜を用いる。

【0029】次に、フォトリソグラフィの技法でパターンニングされたフォトレジスト(図示なし)をマスクとして反応性イオンエッチングによりポリシリコン膜4をパターンニングする。フォトレジストを除去した後、図3

(b)に示すように、全面に例えばBPSG膜14を膜厚約 $0.1\mu\text{m}$ に成長させる。続いて、フォトリソグラフィ技法および反応性イオンエッチング法を適用して、拡散層領域2の表面を露出させる、開口径が約 $0.2\mu\text{m}$ のコンタクト孔7を開孔する。

【0030】次に、図3(c)に示すように、リンドープポリシリコン膜8を例えば膜厚 $0.6\mu\text{m}$ に堆積して

コンタクト孔7を完全に埋め込む。そして図3(d)に示すように、反応性イオンエッチングによりポリシリコン膜8に全面的エッチバックを施し、コンタクト孔7内だけにポリシリコン膜8を残してポリシリコンプラグ9を形成する。

【0031】次に、気相HFエッチングによりBPSG膜14を除去してポリシリコンプラグ9を突出させた後、図3(e)に示すように、全面に例えばチタン膜11を膜厚約0.03 $\mu$ mに成長させる。熱処理を施すことによりポリシリコン膜4をチタン膜11とシリサイド化反応させてチタンシリサイドを形成させた後、未反応の金属および窒化物などの金属化合物を除去することにより、図1(f)に示すように、自己整合的に形成されたチタンシリサイド膜12を有するポリサイド構造の配線が得られる。

#### 【0032】

【発明の効果】以上説明したように、本発明による半導体装置では、ポリシリコンプラグが層間絶縁膜上に突出する構造になるので、金属シリサイド膜との接触面がプラグの上面だけでなく側面にまで広がるためポリシリコンプラグと金属シリサイド膜との接触面積が大きくなり、コンタクト抵抗が低減できる。また、本発明によれば、配線層のポリシリコン膜をポリシリコンプラグより先に形成することによりポリシリコンプラグと金属シリサイド層が配線層のポリシリコン膜を介すことなく直接接続される構造になるため、ポリシリコンプラグと配線層のポリシリコン膜との界面に存在する自然酸化膜がコンタクト抵抗に影響することがなくなりコンタクト抵抗の上昇が抑制される。

【0033】さらに、シリサイド化反応により配線を形成するプロセスを用いる場合には、配線層のポリシリコン膜をノンドーブあるいは低不純物濃度にするることによりシリサイド化反応性を速めることができるため、シリサイド化され配線として利用される金属の割合を増加させることができ配線抵抗を低減化できる。ここで、ポリシリコン膜がシリサイド配線層とポリシリコンプラグの

間には存在しない構造になっているので、配線層のポリシリコン膜をノンドーブにしてもコンタクト抵抗の上昇を招くことはない。

【0034】さらに、本発明の製造方法によれば、ポリシリコンプラグを形成するためのエッチバックが層間絶縁膜が露出しない状態で行われるため、層間絶縁膜の膜減りを防止することができる。また、本発明によれば、ポリサイド配線用のポリシリコン膜を堆積する前に自然酸化膜除去を目的としたフッ酸処理を行わなくてもよくなるため、層間絶縁膜の膜減りをさらに抑制することができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための工程順断面図。

【図2】本発明の第2の実施例を説明するための工程順断面図。

【図3】本発明の第3の実施例を説明するための工程順断面図。

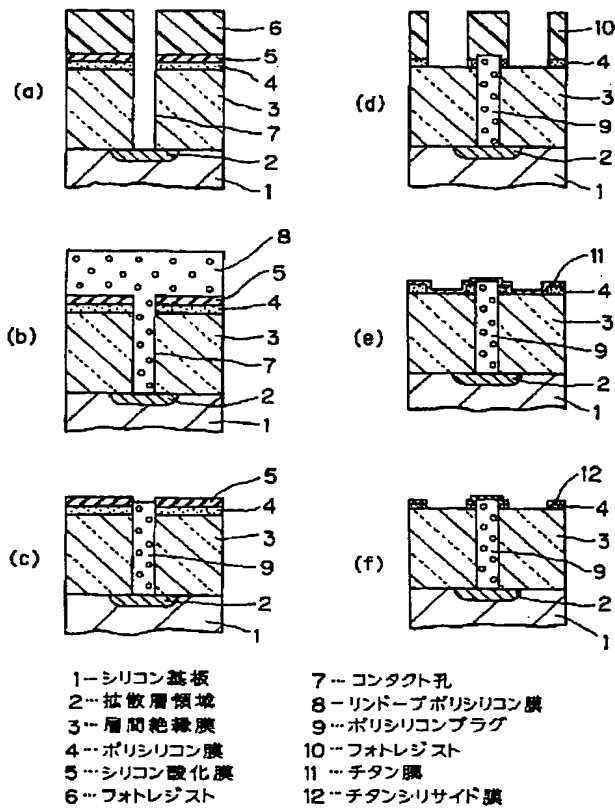
【図4】従来技術を説明するための説明するための工程順断面図。

#### 【符号の説明】

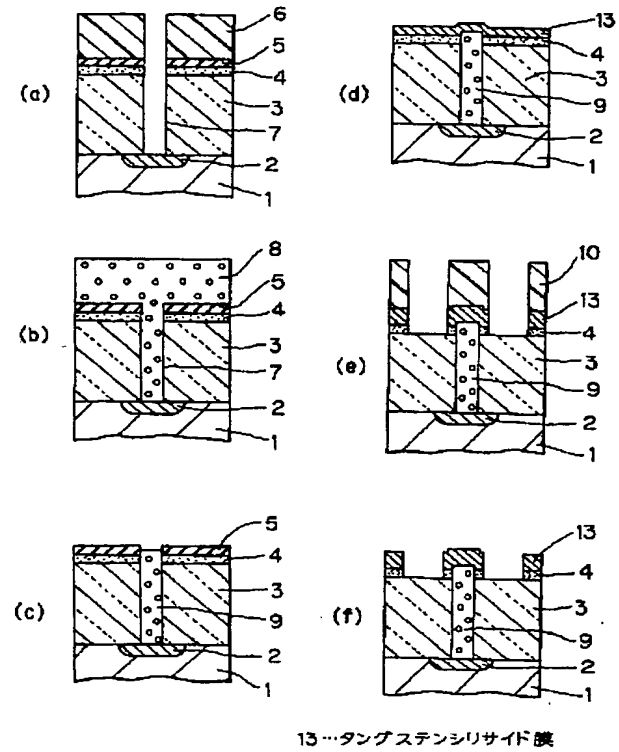
- 1 シリコン基板
- 2 拡散層領域
- 3 層間絶縁膜
- 4 ポリシリコン膜
- 5 シリコン酸化膜
- 6 フォトレジスト
- 7 コンタクト孔
- 8 リンドープポリシリコン膜
- 9 ポリシリコンプラグ
- 10 フォトレジスト
- 11 チタン膜
- 12 チタンシリサイド膜
- 13 タングステンシリサイド膜
- 14 BPSG膜



【図1】

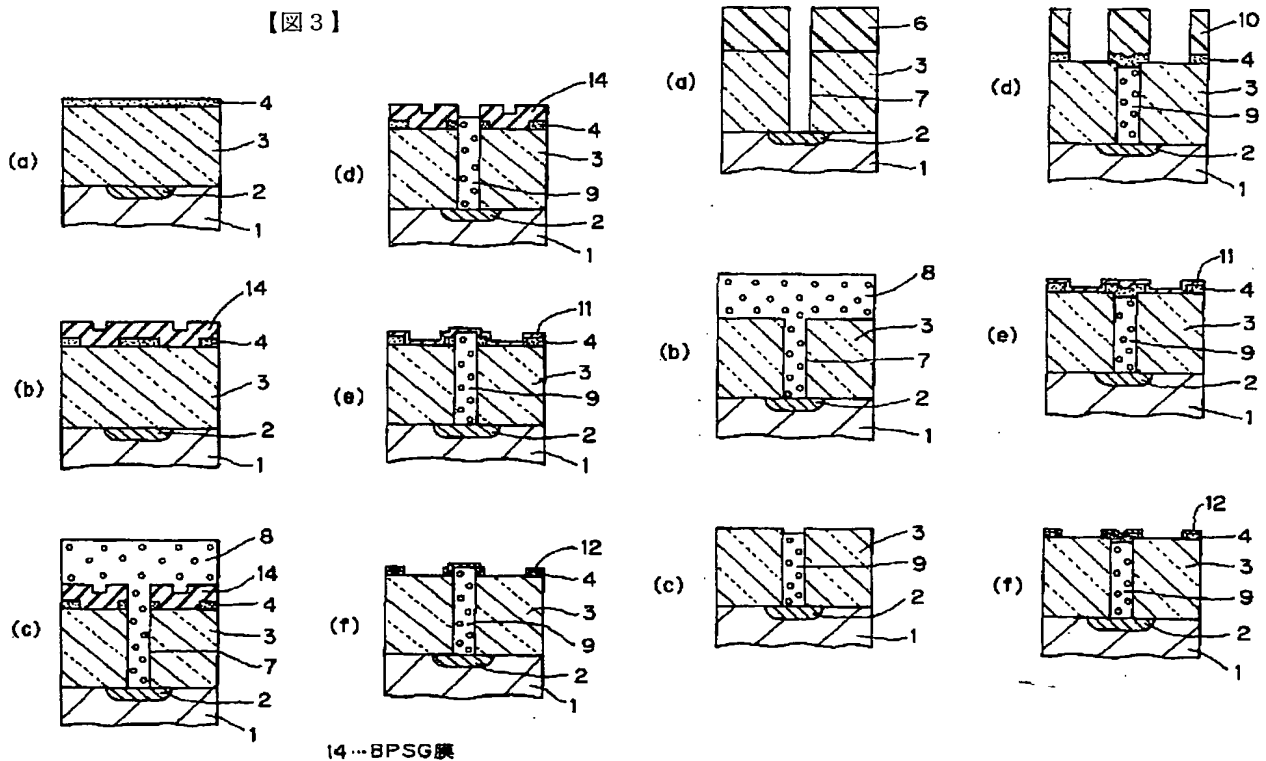


【図2】



【図4】

【図3】



THIS PAGE IS BLANK